



## (12)发明专利申请

(10)申请公布号 CN 112992079 A

(43)申请公布日 2021.06.18

(21)申请号 201911302747.1

(22)申请日 2019.12.17

(71)申请人 咸阳彩虹光电科技有限公司

地址 712000 陕西省咸阳市秦都区高科一路1号

(72)发明人 康海燕 文欢

(74)专利代理机构 深圳精智联合知识产权代理有限公司 44393

代理人 夏声平

(51)Int.Cl.

G09G 3/34(2006.01)

G09G 3/36(2006.01)

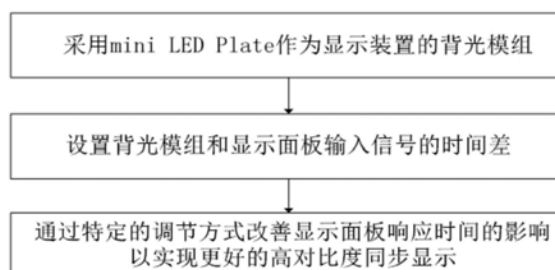
权利要求书2页 说明书9页 附图19页

### (54)发明名称

改善显示画质的方法及显示装置

### (57)摘要

本发明公开了改善显示画质的方法,包括:采用mini LED作为显示装置的背光模组;设置背光模组和显示面板输入信号的时间差;通过预定的调节方式改善显示面板响应时间的影响以实现更好的高对比度同步显示。本发明还提供一种显示装置,采用前述改善显示画质的方法进行显示画质改善,具体改善了因为LCD响应时间慢带来的不同步问题,改善响应时间进而改善画面拖影等,实现了显示装置更好的高对比度同步显示。



1. 一种改善显示画质的方法,其特征在于,包括:  
采用mini LED作为显示装置的背光模组;  
设置背光模组和显示面板输入信号的时间差;  
通过预定的调节方式改善显示面板响应时间的影响以实现更好的高对比度同步显示。
2. 如权利要求1所述的改善显示画质的方法,其特征在于,  
所述显示面板为LCD;  
所述预定的调节方式是对mini LED Plate和LCD输入信号的时间进行相对独立地控制。
3. 如权利要求2所述的改善显示画质的方法,其特征在于,  
所述预定的调节方式是控制mini LED Plate和LCD的STV讯号的时间差;  
所述时间差用于改善LCD面板的液晶响应时间的影响,进而改善画面拖影。
4. 如权利要求3所述的改善显示画质的方法,其特征在于,  
所述时间差是对显示控制IC设计的一个时间差 $\Delta T$ ;  
所述mini LED Plate和LCD的STV讯号根据所述 $\Delta T$ 的设定输出至Gate COF或GOA电路,使其显示叠加产生 $\Delta T$ 时间的延迟。
5. 如权利要求4所述的改善显示画质的方法,其特征在于,  
所述显示控制IC通过控制mini LED plate和LCD的时间差 $\Delta T$ ,改变Raising和Falling的时间,以改善液晶响应时间带来的画质问题,从而改善最终输出图像画质。
6. 如权利要求5所述的改善显示画质的方法,其特征在于,  
所述 $\Delta T$ 不同时,所述Raising和Falling的响应时间不同;  
所述 $\Delta T$ 时间变长时,所述Raising时间减小,所述Falling时间增大;  
所述 $\Delta T$ 在4-6ms区间时,所述Raising和Falling此时的时间均小于5ms。
7. 如权利要求2所述的改善显示画质的方法,其特征在于,  
所述预定的调节方式是利用mini LED Plate和LCD Tcon IC中的OD Table,设定、创造Raising和Falling的时间差,等效于提升响应时间;  
所述时间差等于一个frame。
8. 如权利要求7所述的改善显示画质的方法,其特征在于,  
所述mini LED Plate和LCD的输入时间差后保持同步;  
所述mini LED OD Table的Rising区域OD灰阶设定等于初始灰阶;  
所述mini LED OD Table的Falling区域OD灰阶设定等于初始灰阶;  
所述LCD OD Table的Falling区域OD灰阶设定等于初始灰阶。
9. 如权利要求8所述的改善显示画质的方法,其特征在于,  
所述调节方式是通过控制缩减mini LED Plate的打开时间 $\Delta T$ ,改善LCD Raising和Falling的时间,以改善液晶响应时间带来的画质问题,最终改善输出图像画质。
10. 如权利要求9所述的改善显示画质的方法,其特征在于,  
所述 $\Delta T$ 不同时,所述Raising和Falling的响应时间不同;  
所述显示面板刷新频率为60HZ时,一个frame时间为16.67ms,所述Raising和Falling时间均为0;  
所述显示面板刷新频率是120HZ时,一个frame时间为8.3ms,所述Raising和Falling时

间0.58ms,响应时间得到很大提高。

11.一种显示装置,其特征在于,采用权利要求1-10所述的任意一种改善显示画质的方法进行显示画质改善。

## 改善显示画质的方法及显示装置

### 技术领域

[0001] 本公开涉及显示技术领域,尤其涉及改善显示画质的方法及显示装置。

### 背景技术

[0002] 一般液晶显示装置主要包括设置在液晶面板 (Panel) 上的源驱动电路、栅驱动电路,水平方向电路板 (X-board, 简称XB), 设置在系统板或主板 (Main Board, 简称MB) 上的系统级芯片 (System On Chip, 简称SOC)、时序控制器 (Timing Control, 简称TCON), 通常通过柔性扁平电缆 (Flexible Flat Cable, 简称FFC) 来连接电路主板和水平方向电路板, 以进行二者之间的信号传输, 其中, 系统级芯片接收待传输图像数据信号, 并将所述待传输图像数据信号输出, 随后将输入信号经过行扩展模块和列扩展模块进行处理, 将处理后的数据传送给时序控制器, 时序控制器将接收到的数据通过水平方向电路板传输至源驱动电路和栅驱动电路, 从而驱动面板进行显示。

[0003] 显示领域, 衔接于小间距显示的Mini LED (mini LED或Mini-LED) 显示以及LCD的Mini LED背光等Mini LED的两大应用方向, 成为了当下的最热门话题。Mini-LED为间距2.5毫米和0.1毫米之间的小间距LED产品, 小间距LED也指相邻LED灯珠点间距在2.5毫米以下的LED背光源或显示屏产品。相比传统背光源, 小间距LED背光源发光波长更为集中, 响应速度更快, 寿命更长, 系统光损失能够从传统背光源显示的85%降至5%。

[0004] 液晶显示器 (LCD) 作为当下主要的显示装置, 其响应时间作为液晶显示器的天生“瑕疵”, 目前还并没有很好的解决办法。响应时间指的是LCD显示器对于输入信号的反应速度, 也就是液晶由暗转亮或者是由亮转暗的反应时间, 一般来说分为Rising (上升时间) 和Falling (下降时间) 两个部分, 响应时间即两者之和。另外, frame或frame time (帧时或帧时间) 数据代表了每帧之间的时间间隔, 这个参数越平稳, 显示器整体显示画面越流畅。

[0005] 液晶显示面板在电压驱动的情况下液晶响应时间一般为5-30ms, 此响应速度在显示动态画面时存在拖影的问题, 造成面板画质下降, 观赏性差。常用的解决办法为过驱动或过压驱动 (OD, Over Driving), 此方式能改善液晶的响应时间的方式, 但容易造成过驱动电压过高, 出现亮边情况; 另外, 现行的LCD的背光是常亮的, 在显示动态画面的时候十几毫秒的信号延时会被人眼察觉从而造成画面拖影, 出现OD后衍生问题。

### 发明内容

[0006] 为克服相关技术中的至少部分缺陷和不足, 本公开的实施例一方面提供一种改善显示画质的方法, 包括:

[0007] 采用mini LED作为显示装置的背光模组;

[0008] 设置背光模组和显示面板输入信号的时间差;

[0009] 通过预定的调节方式改善显示面板响应时间的影响以实现更好的高对比度同步显示。

[0010] 在本公开的一个实施例中, 所述显示面板为LCD; 所述预定的调节方式是对mini

LED背光模组 (mini LED Plate) 和LCD输入信号的时间进行相对独立地控制,所述mini LED背光模组 (mini LED Plate) 和LCD具有显示控制电路。

[0011] 所述显示控制电路包括显示控制IC、信号转换电路、电平转换电路等必要部分;所述信号转换电路被配置成经由连接器接收基准时序信号 (如STV、CKV) 和包含图像数据的接口信号 (如包含RGB数据的P2P), 根据所述P2P接口信号生成源极控制信号及第二接口类型图像数据信号 (如Mini-LVDS) 至所述源驱动电路Gate COF, 以及根据所述基准时序信号STV、CKV生成初始栅极控制信号 (如ST\_in、CKx\_in、LC\_in、Reset\_in) 至电平转换电路。

[0012] 所述预定的调节方式是控制mini LED Plate和LCD的STV讯号的时间差;所述时间差可以改善LCD面板的液晶响应时间的影响,进而改善画面拖影。

[0013] 所述时间差是对显示控制IC设计的一个时间差 $\Delta T$ ;所述mini LED Plate和LCD的基准时序信号STV根据所述 $\Delta T$ 的设定输出至Gate COF或栅驱动电路GOA, 使其显示叠加产生 $\Delta T$ 时间的延迟。

[0014] 所述显示控制IC通过控制min LED plate和LCD的时间差 $\Delta T$ , 改变Raising和Falling的时间, 以改善液晶响应时间带来的画质问题, 从而改善最终输出图像画质。

[0015] 所述 $\Delta T$ 不同时, 所述Raising和Falling的响应时间不同;所述 $\Delta T$ 时间变长时, 所述Raising时间减小, 所述Falling时间增大;所述 $\Delta T$ 在4-6ms区间时, 是最优的时间差设计值, 所述Raising和Falling时间均为5ms以下, 较为理想。

[0016] 在本公开的一个实施例中, 所述预定的调节方式是利用mini LED Plate和LCD Tcon IC中的OD Table, 设定、创造Raising和Falling的时间差, 达到提升响应时间的效果;所述时间差等于一个frame。

[0017] 所述mini LED Plate和LCD的输入时间差后保持同步或整体显示;所述mini LED Plate OD Table的Rising区域OD灰阶设定等于初始灰阶;所述mini LED Plate OD Table的Falling区域OD灰阶设定等于初始灰阶;所述LCD OD Table的Falling区域OD灰阶设定等于初始灰阶。

[0018] 所述调节方式是通过控制缩减mini LED Plate的打开时间 $\Delta T$ , 改善LCD Raising和Falling的时间, 以改善液晶响应时间带来的画质问题, 最终改善输出图像画质。

[0019] 所述 $\Delta T$ 不同时, 所述Raising和Falling的响应时间不同;所述显示面板刷新频率为60HZ时, 一个frame时间为16.67ms, 所述Raising和Falling时间均为0;所述显示面板刷新频率是120HZ时, 一个frame时间为8.3ms, 所述Raising和Falling时间0.58ms, 响应时间得到很大提高。

[0020] 本公开实施例另一方面还提供一种显示装置, 采用前述公开的任意一种改善显示画质的方法进行显示画质改善, 此处不再赘述。

[0021] 上述改善显示画质的方法及显示装置中, 通过mini LED Plate与LCD时间错开控制、控制mini LED Plate与LCD的STV讯号时间差 $\Delta T$ 、利用mini LED Plate与LCD Tcon IC中的OD Table创造了rising与falling的时间差等方式, 改善了因为LCD响应时间慢带来的不同步问题, 改善响应时间进而改善画面拖影等, 实现了显示装置更好的高对比度同步显示。

## 附图说明

[0022] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0023] 图1为本公开实施例中的一种改善显示画质的方法步骤示意图;

[0024] 图2为本公开实施例中的一种显示装置示意图;

[0025] 图3为本公开实施例中的一种主动式矩阵显示装置示意图;

[0026] 图4a为本公开实施例中的一种LCD未进行OD的液晶响应示意图;

[0027] 图4b为本公开实施例中的一种LCD进行过OD的液晶响应示意图;

[0028] 图5a为本公开实施例中的一种LCD过OD波形意图;

[0029] 图5b为本公开实施例中的一种LCD过OD亮边画面示意图;

[0030] 图6为本公开实施例中的一种背光和LCD亮度与时间关系示意图;

[0031] 图7为本公开实施例中的一种mini LED Plate与LCD时间差示意图;

[0032] 图8为本公开实施例中的一种显示控制逻辑的示意图;

[0033] 图9为本公开实施例中的一种显示控制亮度波形示意图;

[0034] 图10为本公开另一个实施例中的一种mini LED Plate与LCD时间设计示意图;

[0035] 图11为本公开另一个实施例中的一种显示控制逻辑示意图;

[0036] 图12为本公开另一个实施例中的一种显示控制亮度波形示意图;

[0037] 图13a为本公开实施例中 $\Delta T=0$ 时mini LED Plate与LCD时间差的波形示意图;

[0038] 图13b为本公开实施例中 $\Delta T=0$ 时LCD最终显示的波形示意图;

[0039] 图14a为本公开实施例中 $\Delta T=2$ 时mini LED Plate与LCD时间差的波形示意图;

[0040] 图14b为本公开实施例中 $\Delta T=2$ 时LCD最终显示的波形示意图;

[0041] 图15a为本公开实施例中 $\Delta T=4$ 时mini LED Plate与LCD时间差的波形示意图;

[0042] 图15b为本公开实施例中 $\Delta T=4$ 时LCD最终显示的波形示意图;

[0043] 图16a为本公开实施例中 $\Delta T=6$ 时mini LED Plate与LCD时间差的波形示意图;

[0044] 图16b为本公开实施例中 $\Delta T=6$ 时LCD最终显示的波形示意图;

[0045] 图17a为本公开实施例中 $\Delta T=8$ 时mini LED Plate与LCD时间差的波形示意图;

[0046] 图17b为本公开实施例中 $\Delta T=8$ 时LCD最终显示的波形示意图;

[0047] 图18a为本公开实施例中 $\Delta T=10$ 时mini LED Plate与LCD时间差的波形示意图;

[0048] 图18b为本公开实施例中 $\Delta T=10$ 时LCD最终显示的波形示意图;

[0049] 图19为本公开实施例中不同 $\Delta T$ 时液晶响应示意图;

[0050] 图20a为本公开另一个实施例中 $\Delta T=0$ 时mini LED Plate与LCD时间差的波形示意图;

[0051] 图20b为本公开另一个实施例中 $\Delta T=0$ 时LCD最终显示的波形示意图;

[0052] 图21a为本公开另一个实施例中 $\Delta T=2$ 时mini LED Plate与LCD时间差的波形示意图;

[0053] 图21b为本公开另一个实施例中 $\Delta T=2$ 时LCD最终显示的波形示意图;

[0054] 图22a为本公开另一个实施例中 $\Delta T=4$ 时mini LED Plate与LCD时间差的波形示

意图;

[0055] 图22b为本公开另一个实施例中 $\Delta T=4$ 时LCD最终显示的波形示意图;

[0056] 图23a为本公开另一个实施例中 $\Delta T=6$ 时mini LED Plate与LCD时间差的波形示意图;

[0057] 图23b为本公开另一个实施例中 $\Delta T=6$ 时LCD最终显示的波形示意图;

[0058] 图24a为本公开另一个实施例中 $\Delta T=8$ 时mini LED Plate与LCD时间差的波形示意图;

[0059] 图24b为本公开另一个实施例中 $\Delta T=8$ 时LCD最终显示的波形示意图;

[0060] 图25a为本公开另一个实施例中 $\Delta T=10$ 时mini LED Plate与LCD时间差的波形示意图;

[0061] 图25b为本公开另一个实施例中 $\Delta T=10$ 时LCD最终显示的波形示意图;

[0062] 图26为本公开另一个实施例中不同 $\Delta T$ 时液晶响应曲线示意图。

### 具体实施方式

[0063] 下面结合具体实施例对本发明做进一步详细的描述,但本发明的实施方式不限于此。

[0064] 如图1所示,图1为本公开实施例中的一种改善显示画质的方法步骤示意图;本公开的实施例提供一种改善显示画质的方法,包括:

[0065] 采用mini LED Plate作为显示装置或显示器的背光模组;

[0066] 设置背光模组和显示面板或显示装置的输入信号的时间差;

[0067] 通过预定的调节方式改善显示面板或显示装置响应时间的影响以实现更好的高对比度同步显示。

[0068] 在本公开的一个实施例中,如图2所示,图2为本公开实施例中的一种显示器示意图,包括背光模组401和显示装置10;所述显示装置10例如为LCD,所述背光模组401例如为mini LED Plate,所述预定的调节方式是对mini LED Plate和LCD输入信号的时间进行相对独立地控制。

[0069] 在本公开的一个实施例中,如图3所示,图3为本公开实施例中的一种主动式矩阵显示装置示意图;本申请一个实施例提供例如一种主动式矩阵显示装置10,包括:显示面板111,其上具有栅驱动电路、源驱动电路;XB板113,其上具有驱动电路板组件1130,系统板13以及连接件CL1。本实施例的主动式矩阵显示装置10例如是TCONLESS型液晶显示装置LCD,其系统板上的系统级芯片整合有传统TCON芯片的至少部分功能,且其XB板上整合有传统TCON芯片的至少部分功能,但本申请实施例并不以此为限。

[0070] 其中,显示面板111包括显示区域1111和电连接显示区域1111的栅驱动电路及源驱动电路。显示区域1111内设置有多条数据线DL、多条栅极线GL和电连接各条数据线DL与各条栅极线GL的多个像素P;各个像素P位于相对应的栅极线GL与数据线DL的交叉处。所述栅驱动电路例如包括两个GOA (Gate-On Array, 栅驱动电路集成在阵列基板上) 电路1113,这两个GOA电路1113位于显示区域1111的周边区域且分设于显示区域1111的相对两侧,也即显示面板111的栅驱动电路为双侧GOA电路。各个GOA电路1113电连接显示区域1111内的栅极线GL,用于向显示区域1111的各条栅极线GL提供栅极驱动信号。所述源驱动电路例如

包括多个COF (Chip-On-Flex, 覆晶薄膜) 型源驱动器1115, 比如图3中所示的十二个COF型源驱动器1115; 各个COF型源驱动器1115电连接显示区域1111内的数据线DL, 用于各个数据线DL提供图像数据信号。更具体地, 单个COF型源驱动器1115例如包括柔性电路板和设置在柔性电路板上的源驱动器芯片 (source driver IC)。

[0071] 其中, XB板113可以为整块独立的电路板, 也可以是多个并列设置的多块电路子板, 若为多个并列设置的多块电路子板, 则驱动电路板组件1130可以设置在其中任一电路子板上, 且所述多个电路子板中每相邻两个电路子板之间通过连接件和各自设置的连接器形成电连接。

[0072] 本实施例以两块电路子板进行说明, XB板113包括两个电路子板113a、113b, 这两个电路子板113a、113b沿着图3水平方向排列于显示面板111的一侧, 也即作为行方向驱动电路板; 各个电路子板113a、113b邻近显示区域1111的一侧设置有COF型源驱动器1115的连接介面例如mini-LVDS接口。如上所述, 驱动电路板组件1130设置于电路子板113a上, 具体为, 电路子板113a设置有显示控制电路1131、连接器CN1、非易失性存储器1133和连接器CN3。电路子板113a通过多个例如七个COF型源驱动器1115电连接显示区域1111, 并利用最右侧COF型源驱动器1115电连接显示面板111右侧的GOA电路1113。电路子板113b设置有连接器CN4, 电路子板113b通过多个例如五个COF型源驱动器1115电连接显示区域1111, 并利用最左侧COF型源驱动器1115电连接显示面板111左侧的GOA电路1113。电路子板113a的连接器CN3和电路子板113b的连接器CN4之间通过连接件CL2形成电连接, 此处的连接件CL2例如是柔性电路板或软排线 (Flexible Flat Cable, FFC), 从而使得产生于电路子板113a上的信号通过该连接件CL2传输到电路子板113b上。

[0073] 再者, 显示控制电路1131电连接第一连接器CN1、连接器CN3以及多个例如七个COF型源驱动器1115; 如此一来, 显示控制电路1131除了通过电路子板113a上的PCB (Printed Circuit Board, 印刷电路板) 走线电连接右侧的七个COF型源驱动器1115之外, 还通过连接器CN3、连接件CL2和连接器CN4以及电路子板113b上的PCB走线连接左侧的五个COF型源驱动器1115。XB板113上还设置有若干例如Mini-LVDS接口, 该Mini-LVDS接口设置于COF型源驱动器1115与显示控制电路1131之间, 所述第一连接器包括例如P2P接口; 所述显示控制电路1131可以包括信号转换电路11312, 所述信号转换电路11312电连接所述第一连接器CN1和所述Mini-LVDS接口, 且被配置成经由所述第一连接器CN1接收包含图像数据的P2P接口信号, 并根据所述P2P接口信号生成源极控制信号及第二接口类型图像数据信号, 并通过所述Mini-LVDS接口输出至所述源驱动电路, 其中, 所述第二接口类型图像数据信号为Mini-LVDS接口信号。

[0074] 再者, 显示控制电路1131包括例如信号转换电路、直流电压转换电路、电平转换电路和Gamma校正 (伽马校正) 电路等。信号转换电路电连接连接器CN1、电平转换电路和所述源驱动电路, 且被配置成经由连接器CN1接收基准时序信号例如STV、CKV和包含图像数据 (比如RGB数据) 的P2P接口信号, 根据所述P2P接口信号生成源极控制信号例如TP、POL及第二接口类型图像数据信号例如Mini-LVDS至所述源驱动电路, 以及根据所述基准时序信号STV、CKV生成初始栅极控制信号例如ST\_in、CKx\_in、LC\_in、Reset\_in至电平转换电路。

[0075] 需要说明的是, 在现有技术中, 为了匹配SOC发送的信号, 源极驱动器的接口需要对应进行调整, 例如, 若SOC发送的信号是通过P2Pinterface接口进行传输的, 则对应的源

极驱动器接口也只能使用P2P interface接口,可能会导致整体制造成本和测试成本增加。而在本实施例中,若连接件CL1通过P2P interface接口将信号从SOC传输到显示控制电路1131中的信号转换电路,信号转换电路能够将P2P interface信号转换成对应于该面板源极驱动器的接口信号,例如COF型源驱动器接口1115为Mini-LVDS接口,则对应将P2P interface信号转换成Mini-LVDS信号,将转换后的Mini-LVDS信号发送至该面板COF型源驱动器接口1115,即相当于通过信号转换电路完成了接口信号的转换,从而在不改变面板上原来Mini-LVDS接口的情况下完成数据传输。通过在XB板113a的显示控制电路1131中增设信号转换电路(例如以芯片形式呈现),其一方面将P2P接口信号转为mini-LVDS接口信号,使得源驱动电路中COF型源驱动器1115与XB板113之间的接口被改为mini-LVDS接口,成本大大降低;另一方面,信号转换电路可产生显示面板111所需的时序控制信号,面板调试、改版可以全部由面板厂商完成,整机厂商可以无需做任何变更,降低了开发成本;又一方面,面板新技术可由信号转换电路完成,系统板13可以无需做任何变更。

[0076] 另外,非易失性存储器1133内存储有光学品味调整参数表,此处的光学品味调整参数表中包含的参数为与显示面板111的光学品味(或称光学特性)强相关的参数。

[0077] 系统板13设置有连接器CN2、系统级芯片133和电源管理电路135。系统板13的连接器CN2通过连接件CL1连接驱动电路板113a的连接器CN1。再者,系统级芯片133电连接连接器CN2且内置有光学品味调整IP核,如此一来,系统级芯片133可以经由连接器CN2、连接件CL1和连接器CN1以串行通信方式读取驱动电路板113a的非易失性存储器中存储的光学品味调整参数并加载至光学品味调整IP核以对显示面板111的光学品味进行调整。另外,连接件CL1例如是单条软排线(FFC)。此外,值得一提的是,本实施例的系统板13典型地还设置有多多个音视频输入接口例如CVBS接口、HDMI接口等;系统板13又称主板(Main Board),其用于对经由音视频输入接口输入的视频和音频信号进行解码处理,再将视频信号以数字信号格式输出至所述驱动电路板组件。

[0078] 其中光学品味调整IP核1330包括过压驱动(OverDrive, OD) IP核,相应地光学品味调整参数表包括过压驱动参数表11334。更具体地,过压驱动IP核用于根据过压驱动参数表进行过压驱动操作。至于过压驱动操作所需的参数为已知成熟技术,故在此不再赘述。至于电源管理电路135,其电连接连接器CN2以向驱动电路板113a提供输入直流电压比如12V;再者,电源管理电路135例如采用成熟的PMIC芯片。

[0079] 在本公开的一个实施例中,如图4、图5、图6所示,图4a为本公开实施例中的一种LCD未进行OD的液晶响应示意图,图4b为本公开实施例中的一种LCD进行过OD的液晶响应示意图,图5a为本公开实施例中的一种LCD过OD波形意图,图5b为本公开实施例中的一种LCD过OD亮边画面示意图,图6为本公开实施例中的一种背光(BLU)和LCD亮度与时间关系示意图;例如前述显示装置为传统LCD,因背光常亮且液晶受到电压驱动后,响应时间较约为5~30ms,一般通过过压驱动(Over Driving)解决在显示动态画面时会存在的拖影现象;上述OD方式可能出现过驱动电压过高(过OD),出现亮边现象。

[0080] 在本公开的一个实施例中,如图7-图9所示,图7为本公开实施例中的一种mini LED Plate与LCD时间差示意图,图8为本公开实施例中的一种显示控制逻辑的示意图,图9为本公开实施例中的一种显示控制亮度波形示意图,所述预定的调节方式例如是控制mini LED Plate和LCD的STV讯号的时间差,通过所述时间差改善LCD面板的液晶响应时间的影

响,进而改善画面拖影。

[0081] 具体地,所述时间差是对显示控制IC设计的一个时间差 $\Delta T$ ;所述mini LED和LCD的STV讯号根据所述 $\Delta T$ 的设定输出至Gate COF或GOA电路,使其显示叠加产生 $\Delta T$ 时间的延迟,改善LCD面板的液晶响应时间的影响,进而改善画面拖影。

[0082] 进一步地,所述显示控制电路含有例如显示控制IC,显示控制IC通过与min LED Tcon IC和LCD Tcon IC搭配,控制min LED plate和LCD的时间差 $\Delta T$ ,改变Raising和Falling的时间,以改善液晶响应时间带来的画质问题,从而改善最终输出图像画质。

[0083] 优选地,如图13-图19所示,图13a为本公开实施例中 $\Delta T=0$ 时mini LED Plate与LCD时间差的波形示意图,图13b为本公开实施例中 $\Delta T=0$ 时LCD最终显示的波形示意图,图14a为本公开实施例中 $\Delta T=2$ 时mini LED Plate与LCD时间差的波形示意图,图14b为本公开实施例中 $\Delta T=2$ 时LCD最终显示的波形示意图,图15a为本公开实施例中 $\Delta T=4$ 时mini LED Plate与LCD时间差的波形示意图,图15b为本公开实施例中 $\Delta T=4$ 时LCD最终显示的波形示意图,图16a为本公开实施例中 $\Delta T=6$ 时mini LED Plate与LCD时间差的波形示意图,图16b为本公开实施例中 $\Delta T=6$ 时LCD最终显示的波形示意图,图17a为本公开实施例中 $\Delta T=8$ 时mini LED Plate与LCD时间差的波形示意图,图17b为本公开实施例中 $\Delta T=8$ 时LCD最终显示的波形示意图,图18a为本公开实施例中 $\Delta T=10$ 时mini LED Plate与LCD时间差的波形示意图,图18b为本公开实施例中 $\Delta T=10$ 时LCD最终显示的波形示意图,图19为本公开实施例中不同 $\Delta T$ 时液晶响应示意图,所述 $\Delta T$ 不同时,所述Raising和Falling的响应时间不同;所述 $\Delta T$ 时间变长时,所述Raising时间减小,所述Falling时间增大;所述 $\Delta T=4-6\text{ms}$ 时,所述Raising和Falling时间均为5ms以下,为较理想的时间差设计值。

[0084] 在本公开的一个实施例中,如图10-图12所示,图10为本公开另一个实施例中的一种mini LED Plate与LCD时间设计示意图,图11为本公开另一个实施例中的一种显示控制逻辑示意图,图12为本公开另一个实施例中的一种显示控制亮度波形示意图,例如利用mini LED Plate和LCD Tcon IC中的OD Table,设定、创造Raising和Falling的时间差,达到提升响应时间的效果;所述时间差例如等于一个frame。

[0085] 具体地,所述mini LED Plate和LCD的输入时间差后保持同步或整体显示;所述mini LED OD Table的Rising区域OD灰阶设定等于初始灰阶;所述mini LED OD Table的Falling区域OD灰阶设定等于初始灰阶;所述LCD OD Table的Falling区域OD灰阶设定等于初始灰阶。

[0086] 进一步地,例如通过控制缩减mini LED Plate的打开时间 $\Delta T$ ,改善LCD Raising和Falling的时间,进而改善液晶响应时间带来的画质问题,最终改善输出图像画质。

[0087] 优选地,如图20-图26所示,图20a为本公开另一个实施例中 $\Delta T=0$ 时mini LED Plate与LCD时间差的波形示意图,图20b为本公开另一个实施例中 $\Delta T=0$ 时LCD最终显示的波形示意图,图21a为本公开另一个实施例中 $\Delta T=2$ 时mini LED Plate与LCD时间差的波形示意图,图21b为本公开另一个实施例中 $\Delta T=2$ 时LCD最终显示的波形示意图,图22a为本公开另一个实施例中 $\Delta T=4$ 时mini LED Plate与LCD时间差的波形示意图,图22b为本公开另一个实施例中 $\Delta T=4$ 时LCD最终显示的波形示意图,图23a为本公开另一个实施例中 $\Delta T=6$ 时mini LED Plate与LCD时间差的波形示意图,图23b为本公开另一个实施例中 $\Delta T=6$ 时LCD最终显示的波形示意图,图24a为本公开另一个实施例中 $\Delta T=8$ 时mini LED Plate与

LCD时间差的波形示意图,图24b为本公开另一个实施例中 $\Delta T=8$ 时LCD最终显示的波形示意图,图25a为本公开另一个实施例中 $\Delta T=10$ 时mini LED Plate与LCD时间差的波形示意图,图25b为本公开另一个实施例中 $\Delta T=10$ 时LCD最终显示的波形示意图,图26为本公开另一个实施例中不同 $\Delta T$ 时液晶响应曲线示意图;当 $\Delta T$ 不同时,所述Raising和Falling的响应时间不同;所述显示面板刷新频率为60HZ时,一个frame时间为16.67ms,所述Raising和Falling时间均为0;所述显示面板刷新频率是120HZ时,一个frame时间为8.3ms,所述Raising和Falling时间0.58ms,响应时间得到很大提高。

[0088] 在本公开的另一个实施例中,如图2所示,图2为本公开实施例中的一种显示器示意图,包括背光模组401和显示装置10;所述显示装置,可以采用前述各个实施例中的任意一种改善显示画质的方法进行显示画质改善。

[0089] 上述改善显示画质的方法及显示装置中,通过mini LED Plate与LCD时序或时间错开控制、控制mini LED Plate与LCD的STV讯号时间差 $\Delta T$ 、利用mini LED Plate与LCD Tcon IC中的OD Table创造了rising与falling的时间差等方式,改善了因为LCD响应时间慢带来的不同步问题,改善响应时间进而改善画面拖影等,实现了显示装置更好的高对比度同步显示。

[0090] 此外,可以理解的是,前述各个实施例仅为本申请的示例性说明,在技术特征不冲突、结构不矛盾、不违背本申请的发明目的前提下,各个实施例的技术方案可以任意组合、搭配使用。

[0091] 再者,可以理解的是,上述显示装置可以为:LTP0显示装置、Micro LED显示装置、液晶面板、电子纸、OLED面板、AMOLED面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相机等任何具有显示功能的产品或部件。

[0092] 在本申请所提供的几个实施例中,应该理解到,所揭露的装置和方法,可以通过其它的方式实现。例如,以上所描述的装置实施例仅仅是示意性的,例如,所述单元的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,例如多路单元或组件可以结合或者可以集成到另一个系统,或一些特征可以忽略,或不执行。另一点,所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口,装置或单元的间接耦合或通信连接,可以是电性,机械或其它的形式。

[0093] 所述作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多路网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

[0094] 另外,在本申请各个实施例中的各功能单元可以集成在一个处理单元中,也可以是各个单元单独物理存在,也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现,也可以采用硬件加软件功能单元的形式实现。

[0095] 上述以软件功能单元的形式实现的集成的单元,可以存储在一个计算机可读存取介质中。上述软件功能单元存储在一个存储介质中,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行本申请各个实施例所述方法的部分步骤。而前述的存储介质包括:U盘、移动硬盘、只读存储器(Read-Only Memory,简称ROM)、随机存取存储器(Random Access Memory,简称RAM)、磁碟或者光盘、非易失性存储器

等各种可以存储程序代码的介质。

[0096] 以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本发明的保护范围。

[0097] “在本公开的一个实施例中”等用语被重复地使用。所述用语通常不是指相同的实施例;但它也可以是指相同的实施例。“包含”、“具有”及“包括”等用词是同义词,除非其前后文意显示出其它意思。

[0098] 以上所述,仅是本公开的较佳实施例而已,并非对本公开作任何形式上的限制,虽然本公开已以具体的实施例揭露如上,然而并非用以限定本公开,任何熟悉本专业的技术人员,在不脱离本公开技术方案范围内,当可利用上述揭示的技术内容做出些许更动或修饰为等同变化的等效实施例,但凡是未脱离本公开技术方案的内容,依据本公开的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本公开技术方案的范围。

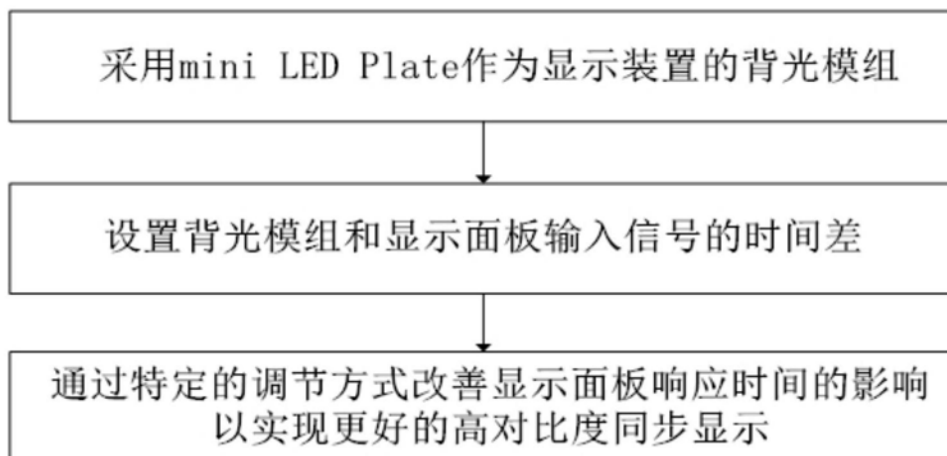


图1

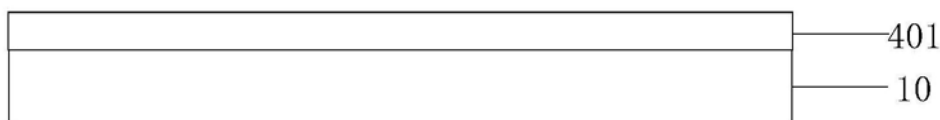


图2

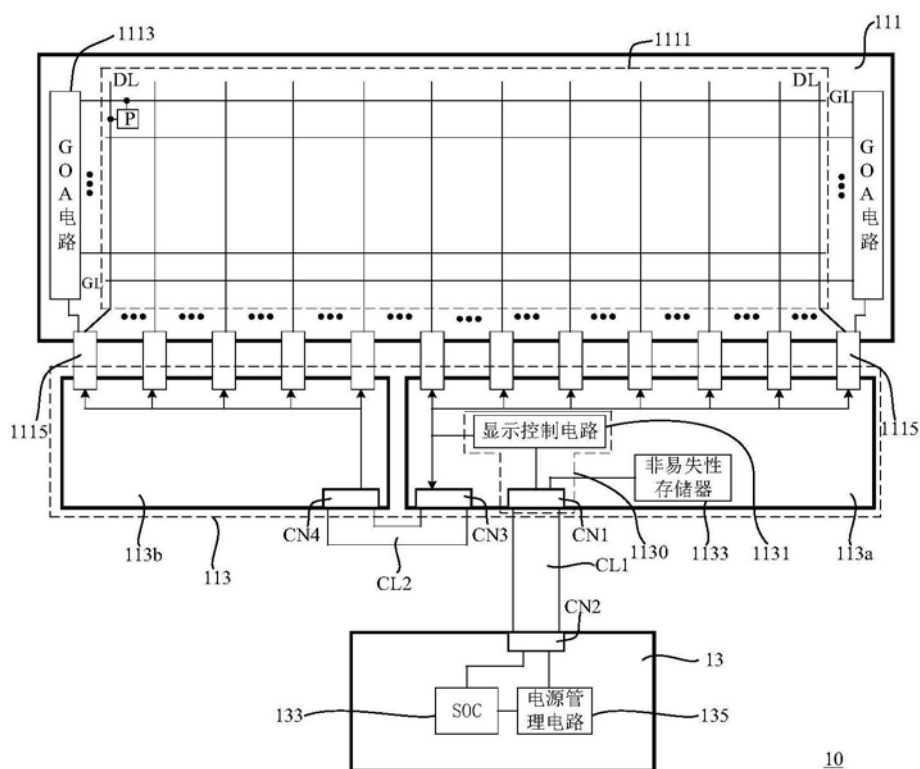


图3

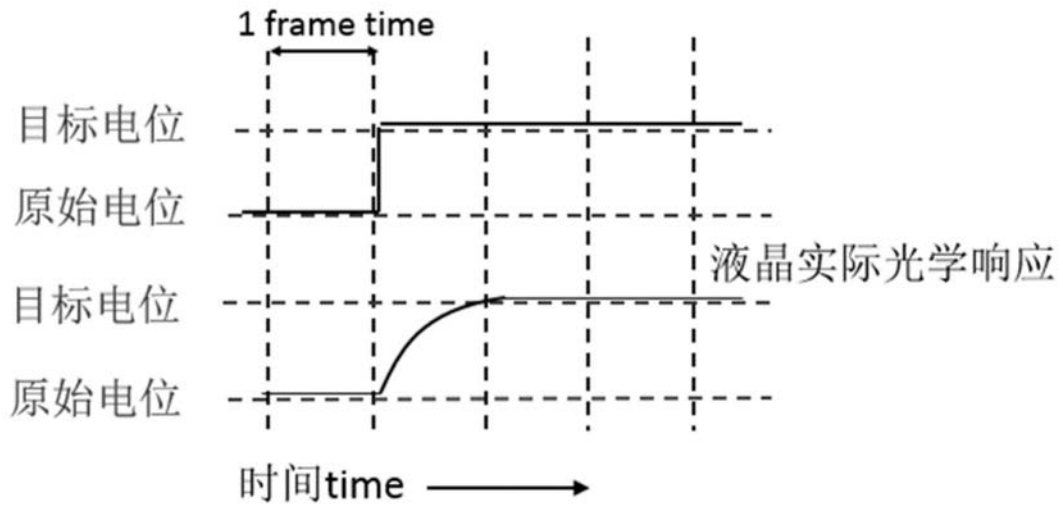


图4a

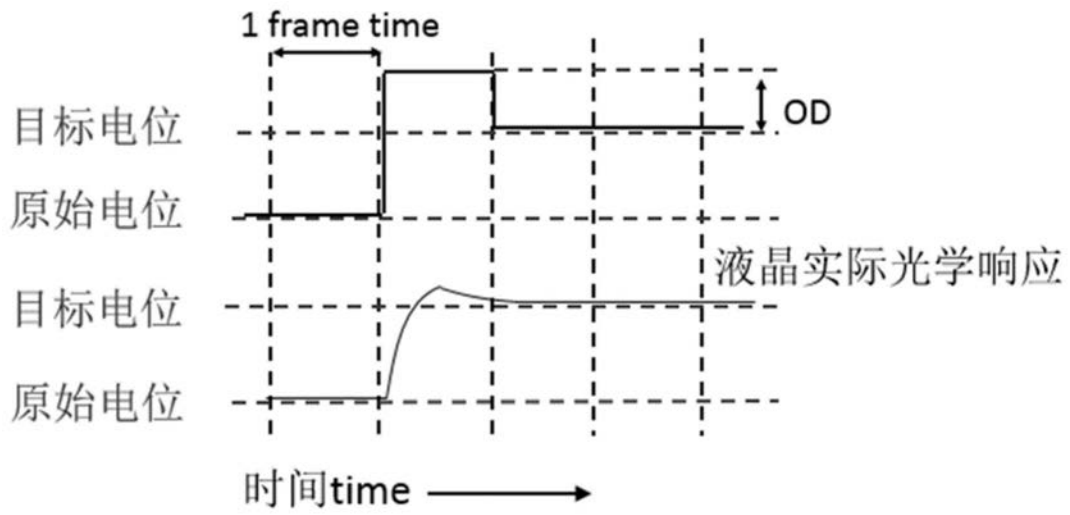


图4b



图5a

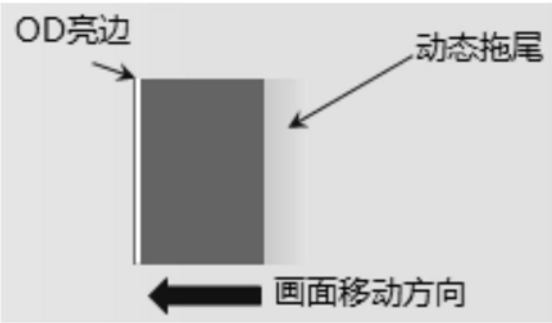


图5b

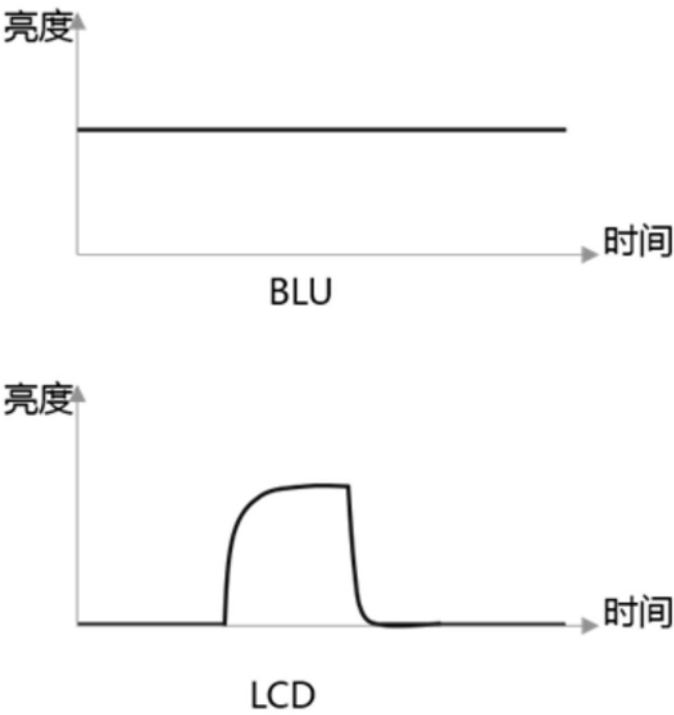


图6

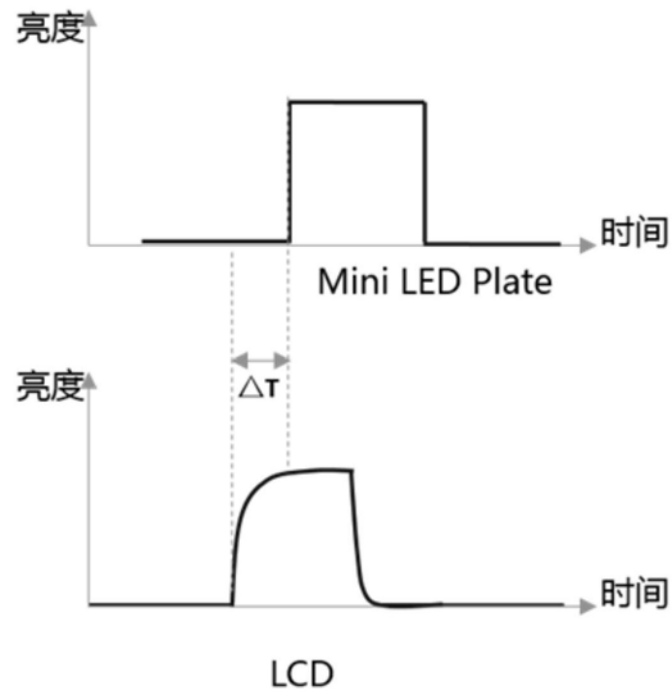


图7

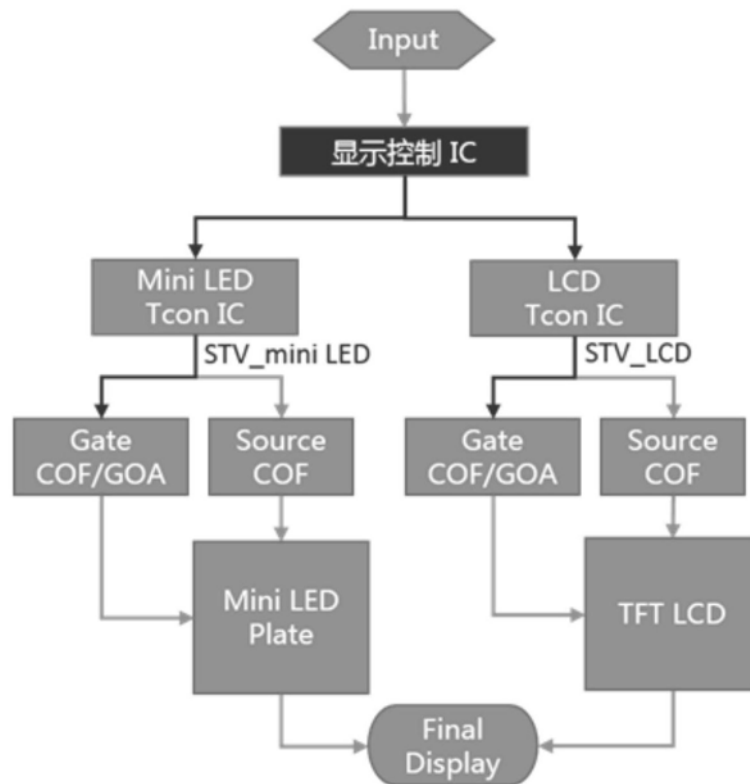


图8

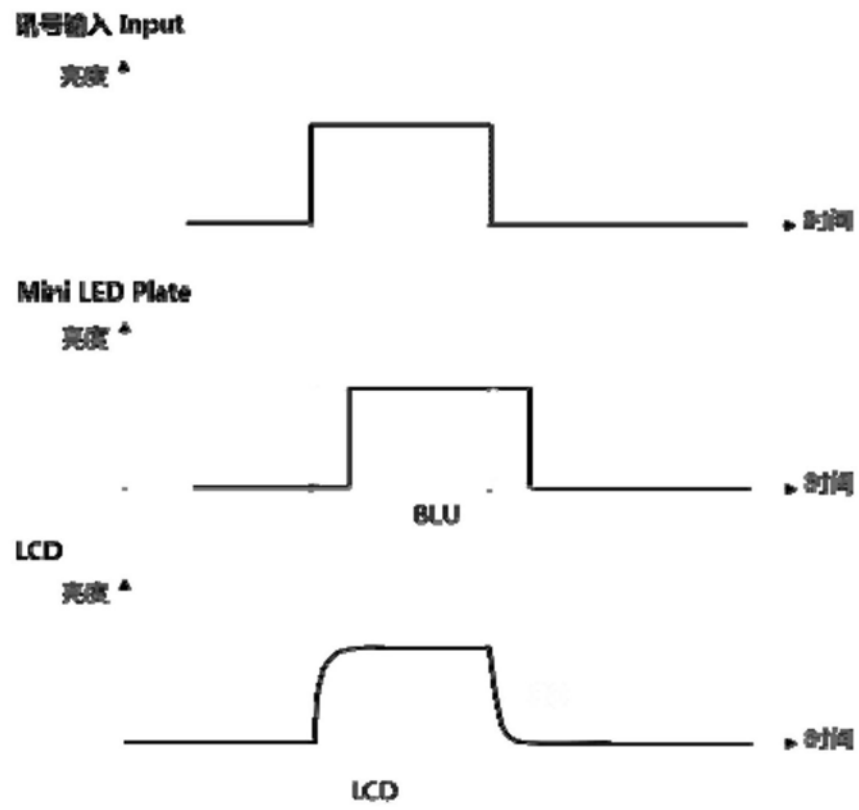


图9

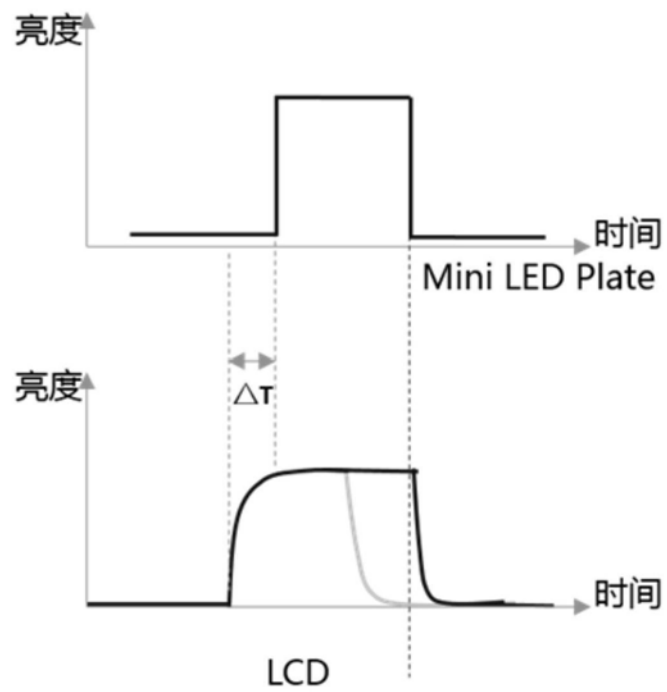


图10

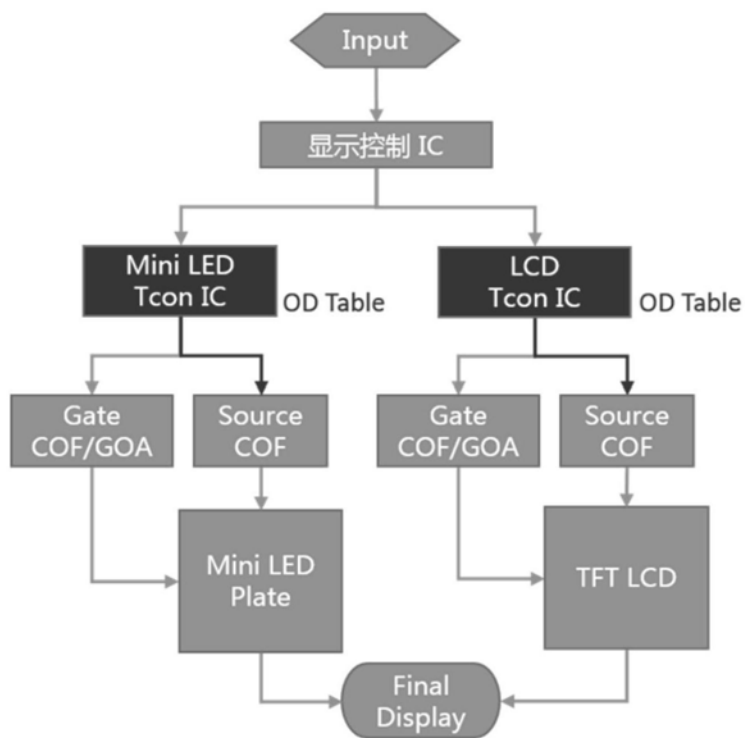


图11

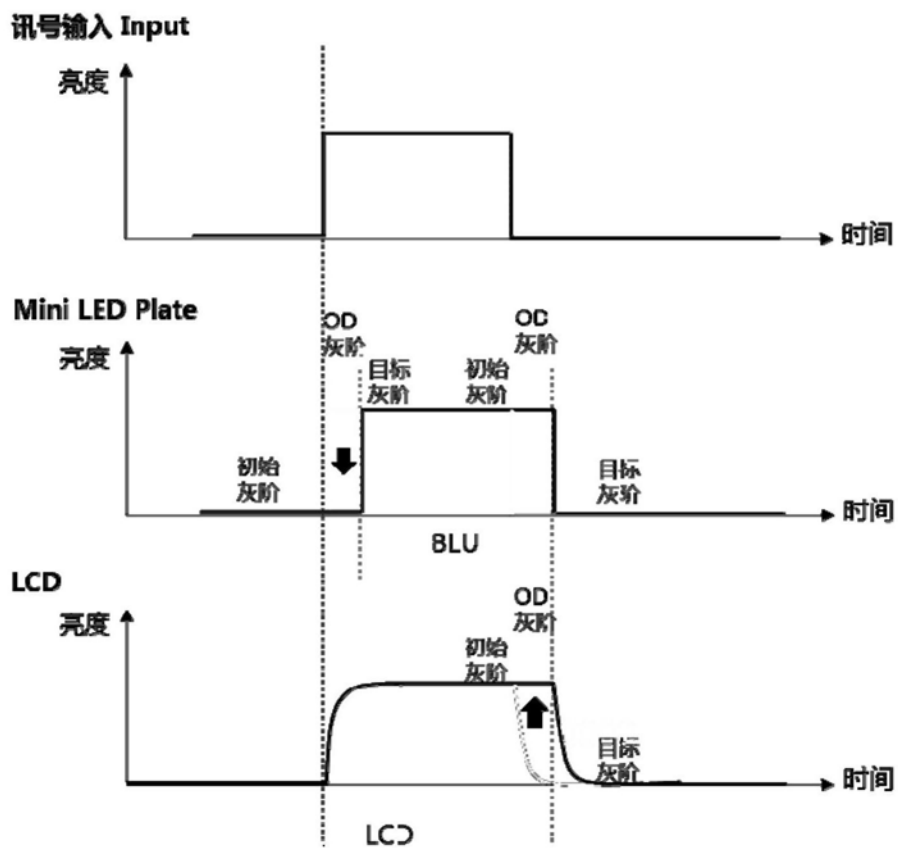


图12

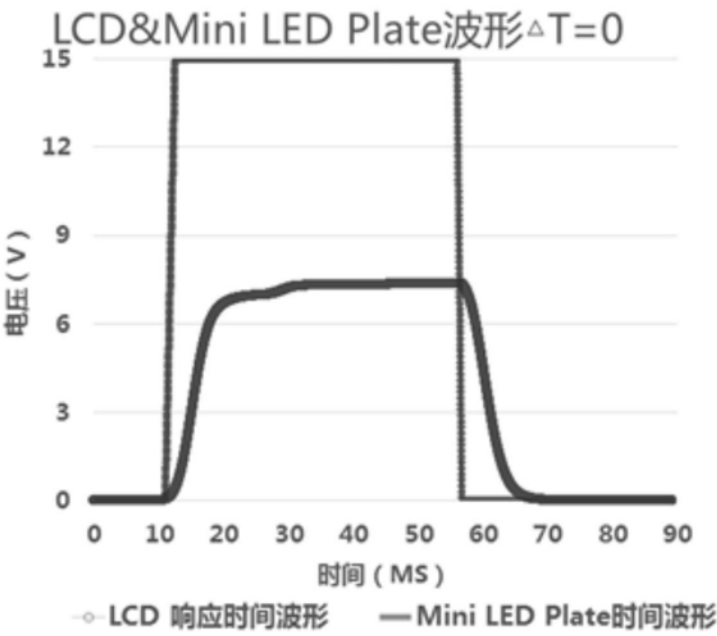


图13a

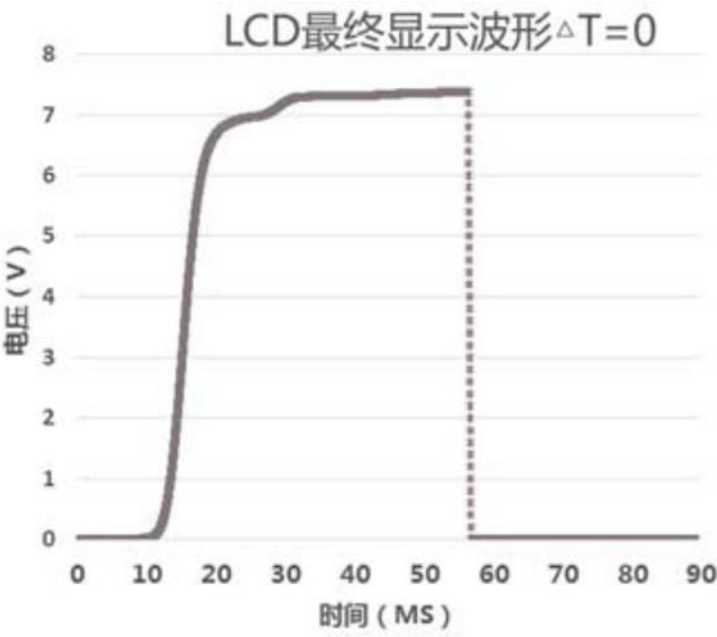


图13b

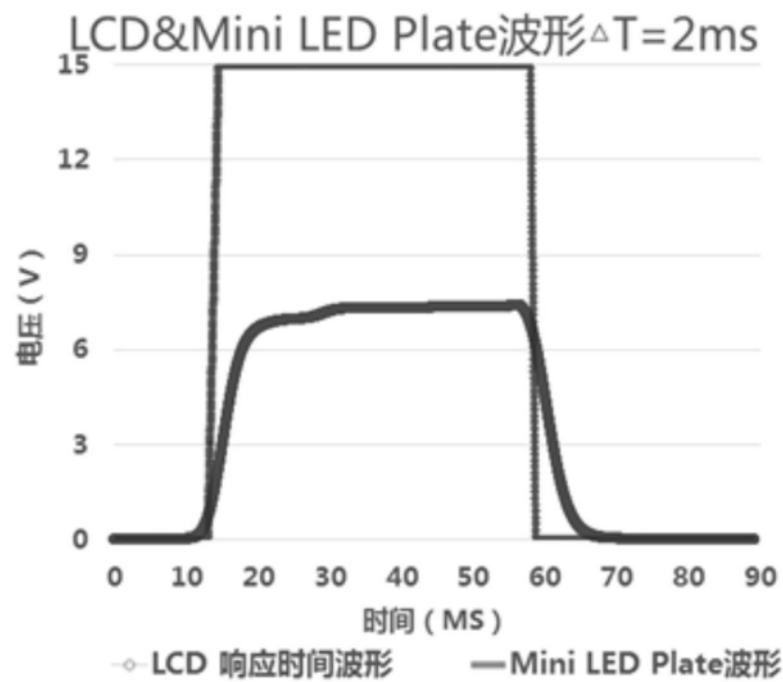


图14a

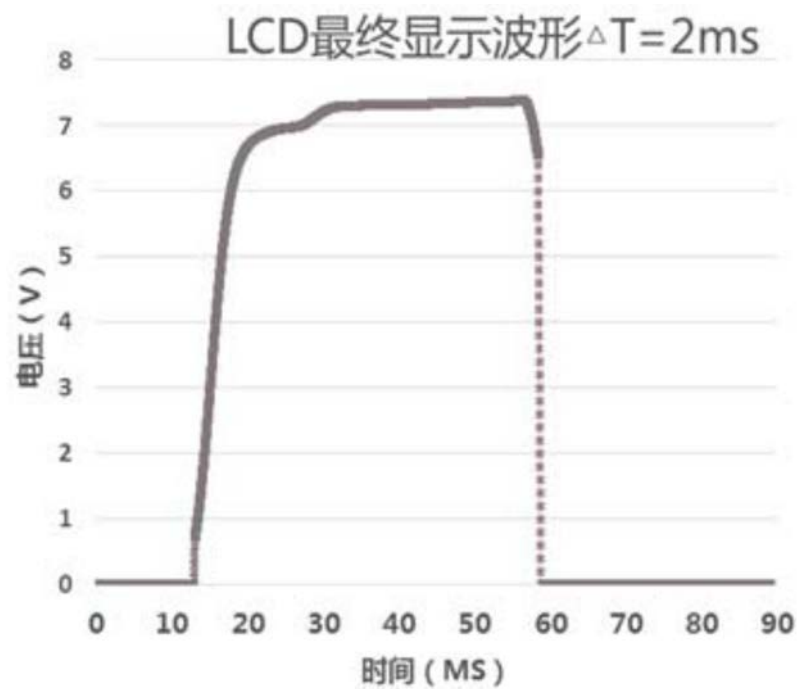


图14b

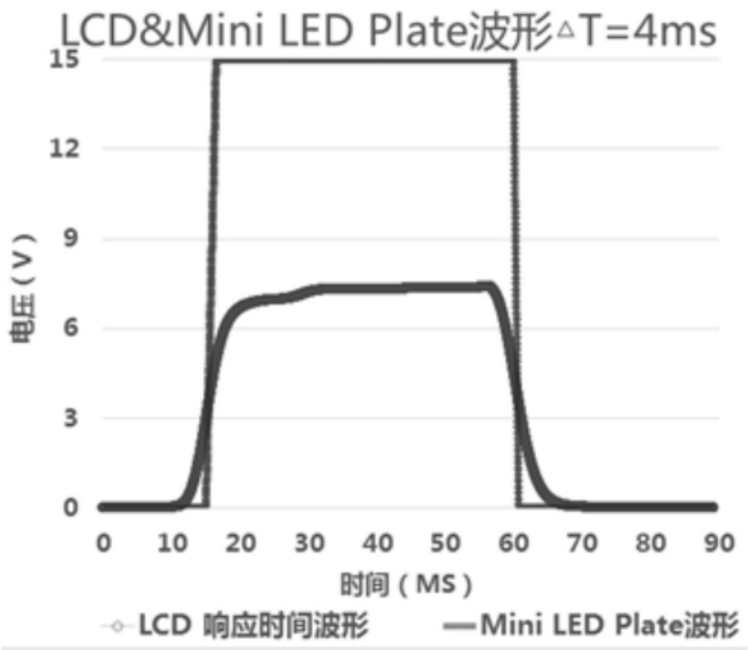


图15a

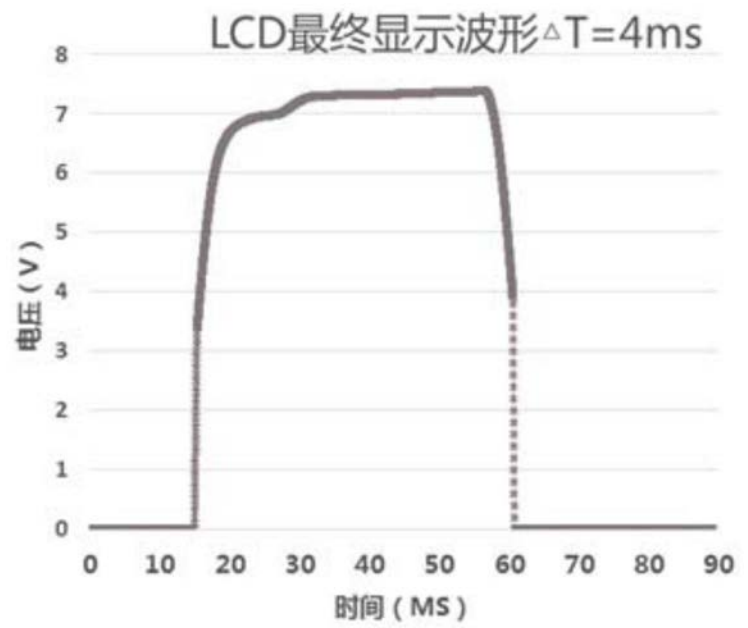


图15b

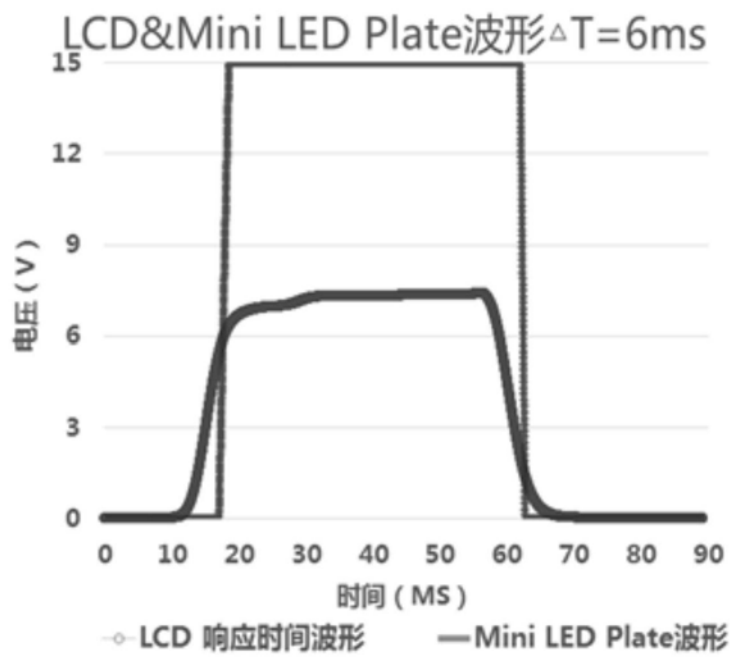


图16a

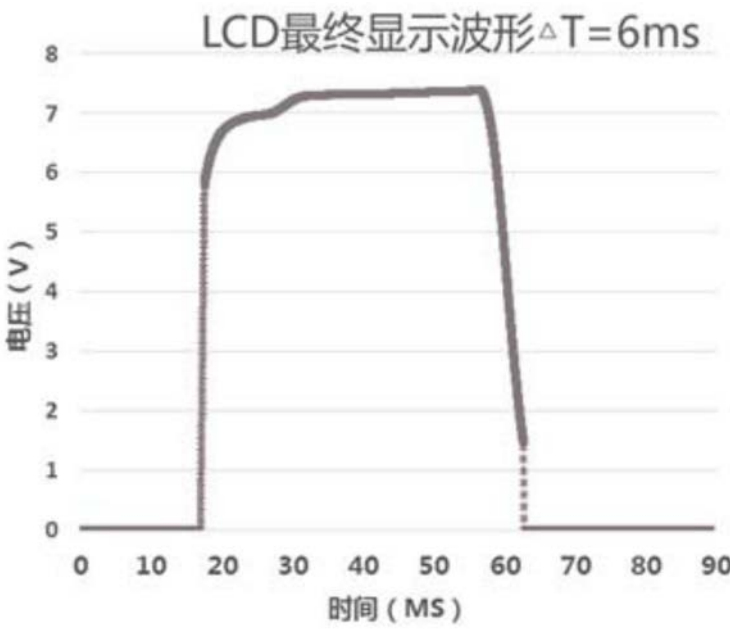


图16b

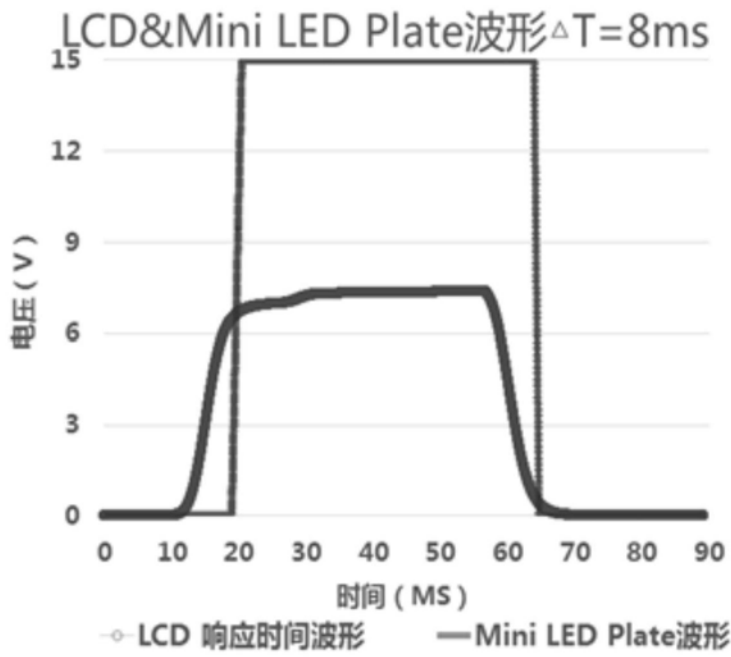


图17a

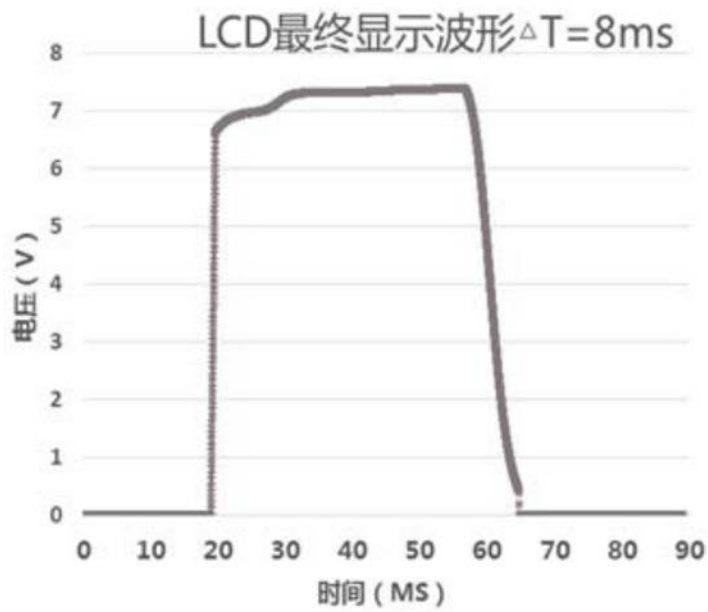


图17b

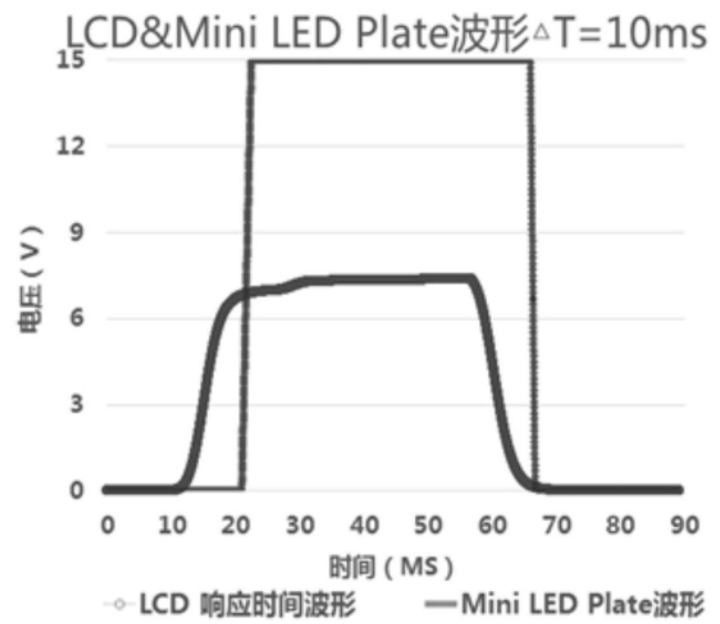


图18a

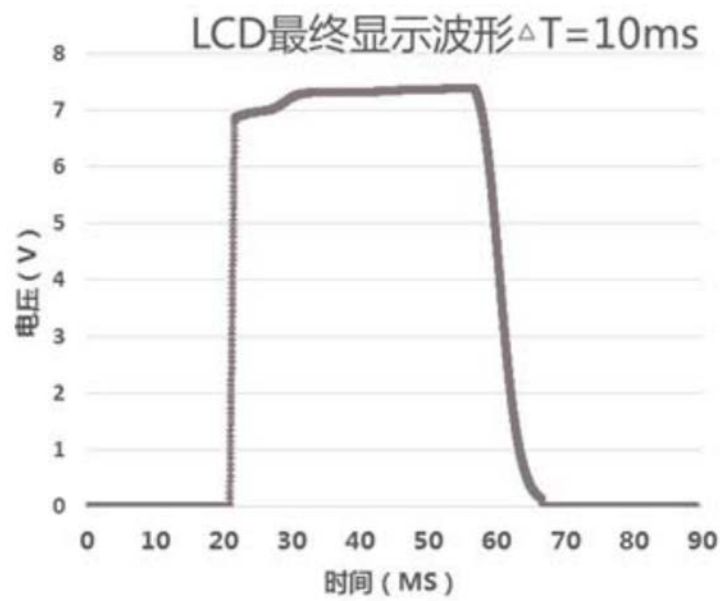


图18b

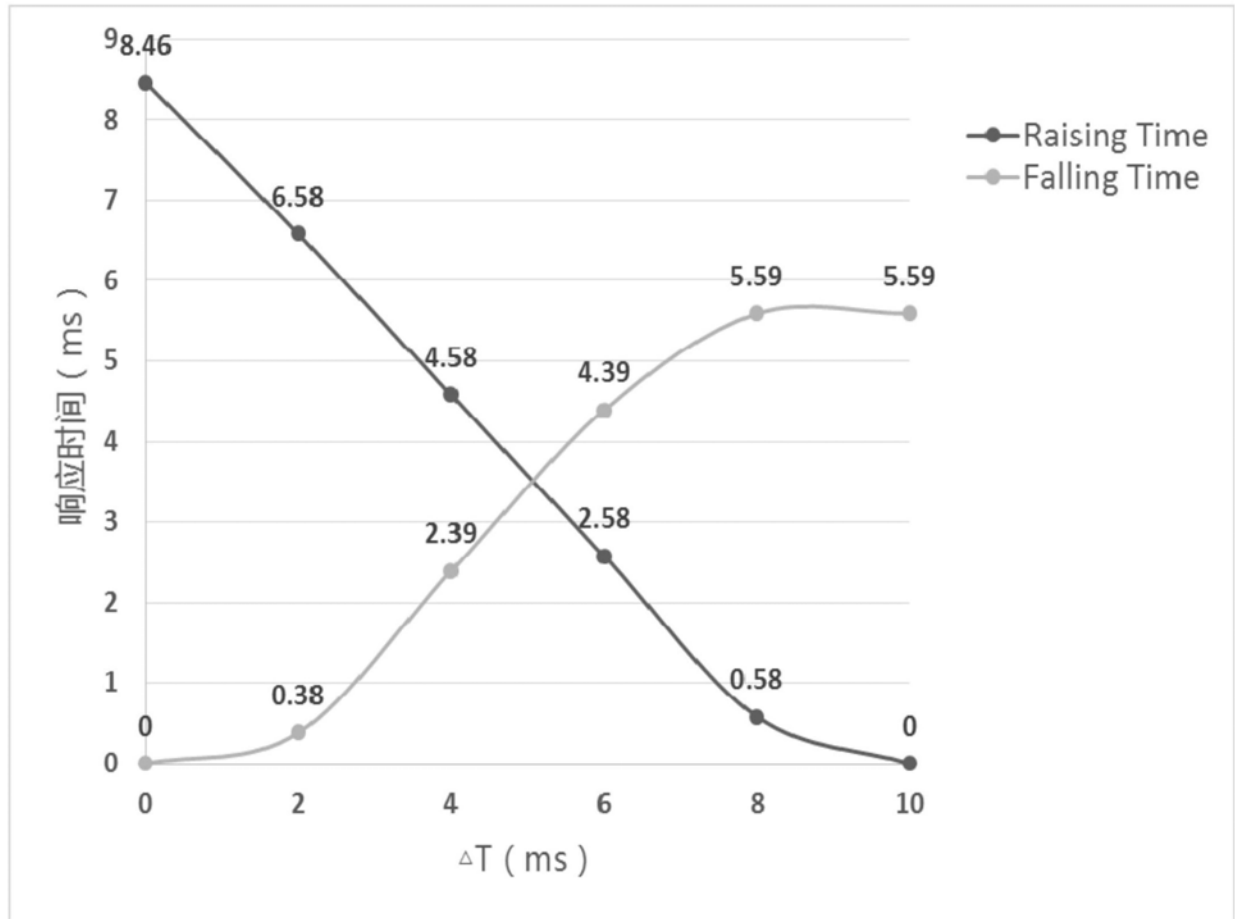


图19

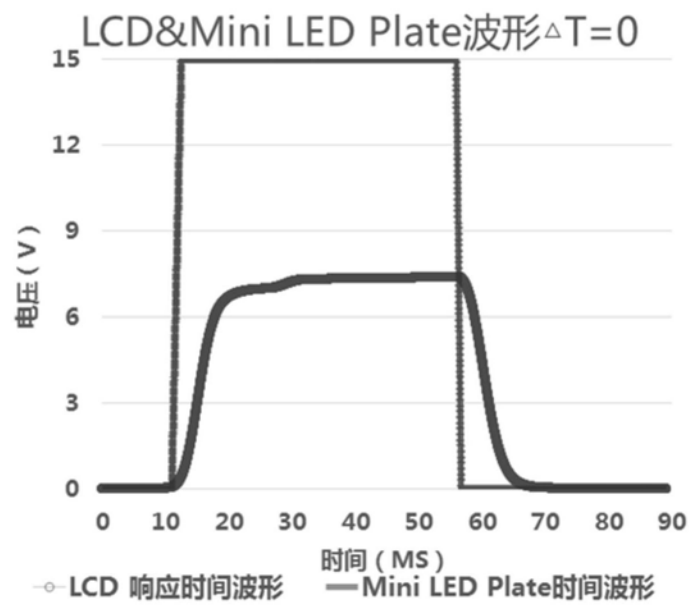


图20a

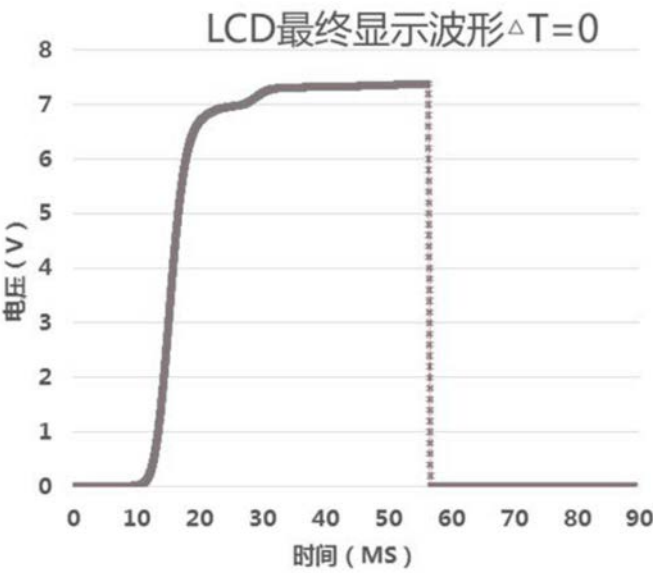


图20b

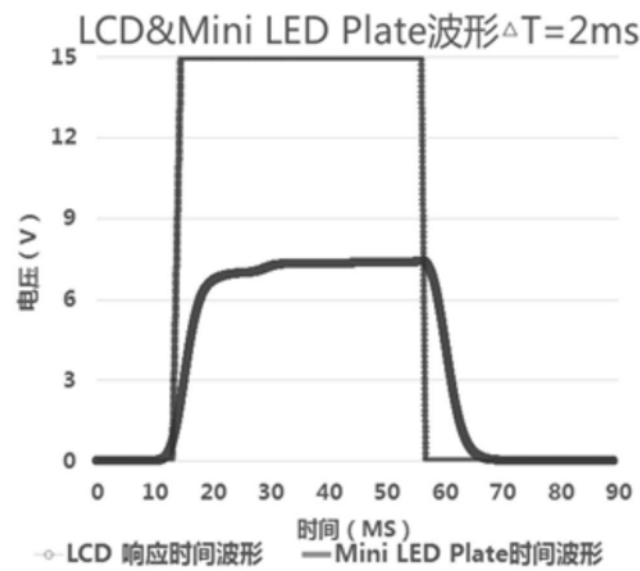


图21a

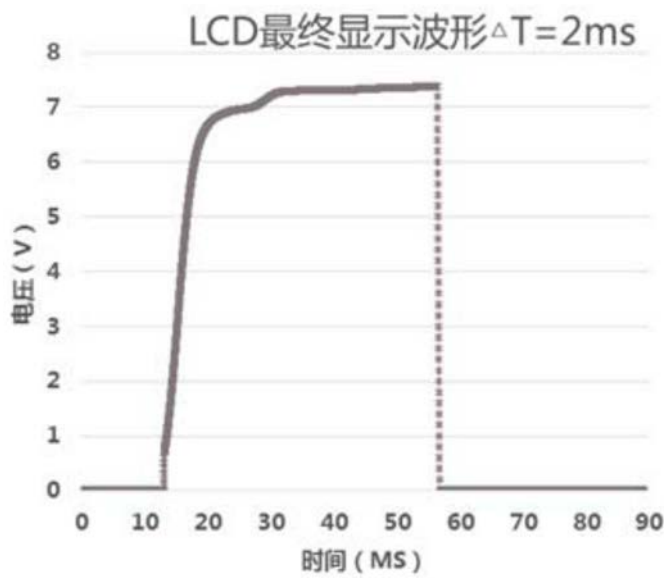


图21b

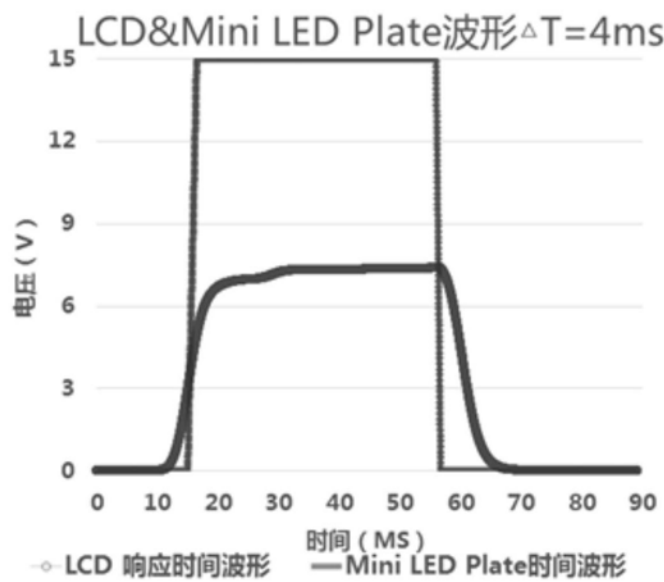


图22a

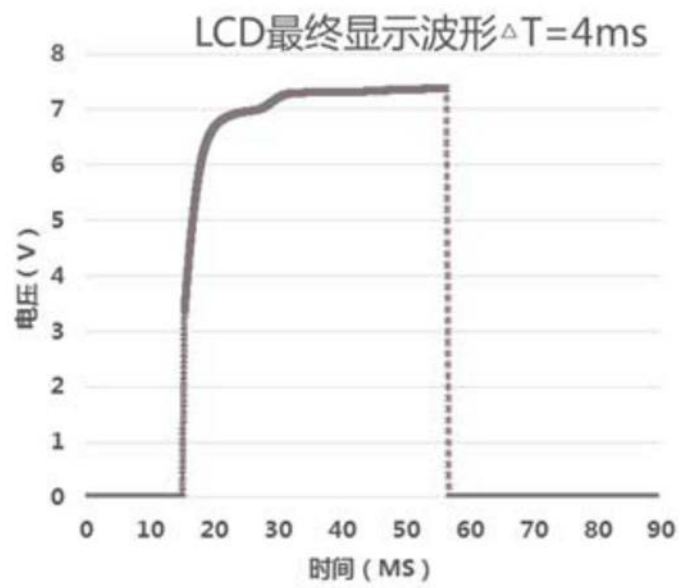


图22b

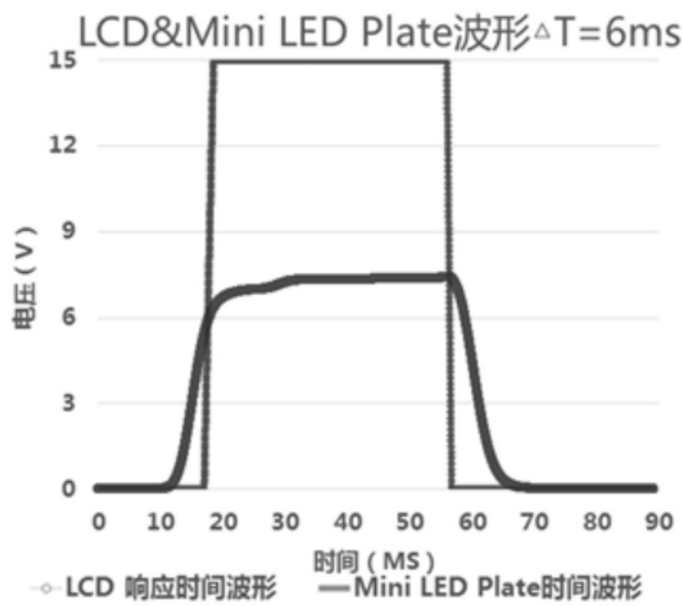


图23a

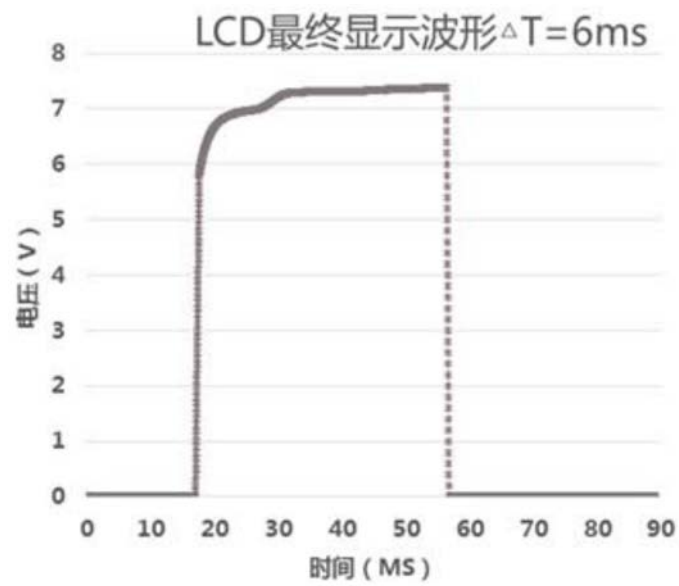


图23b

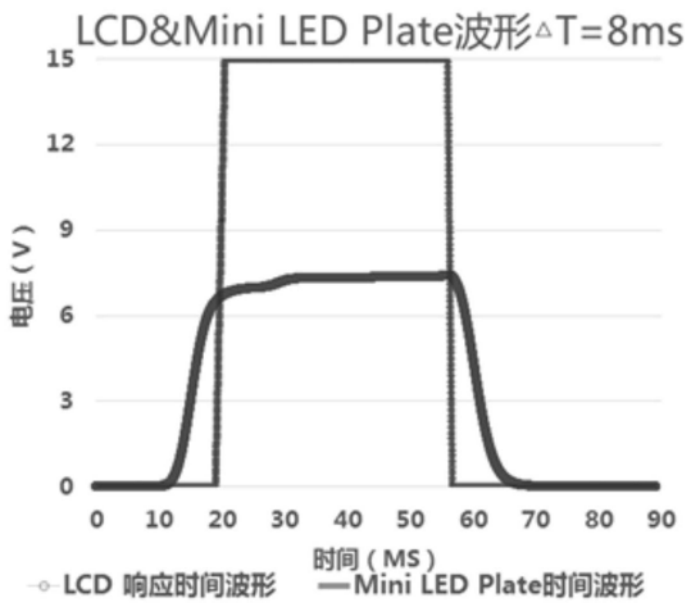


图24a

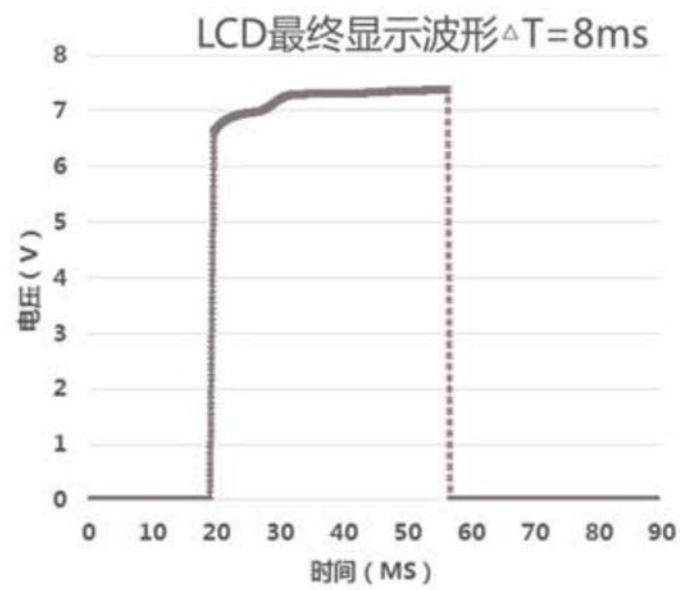


图24b

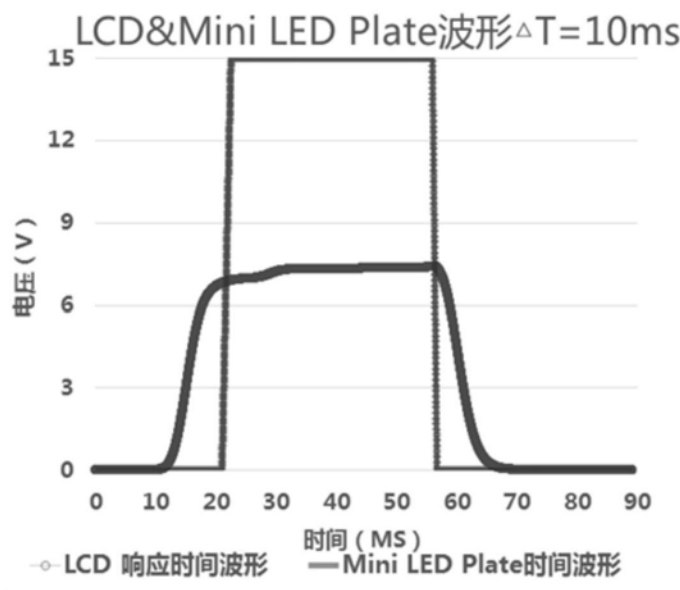


图25a

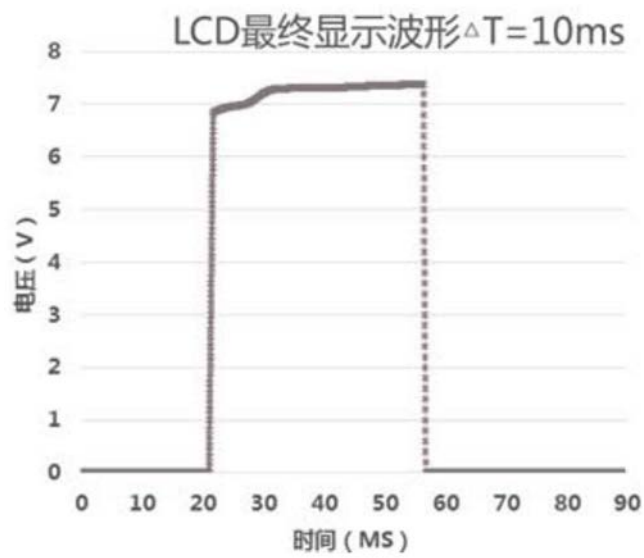


图25b

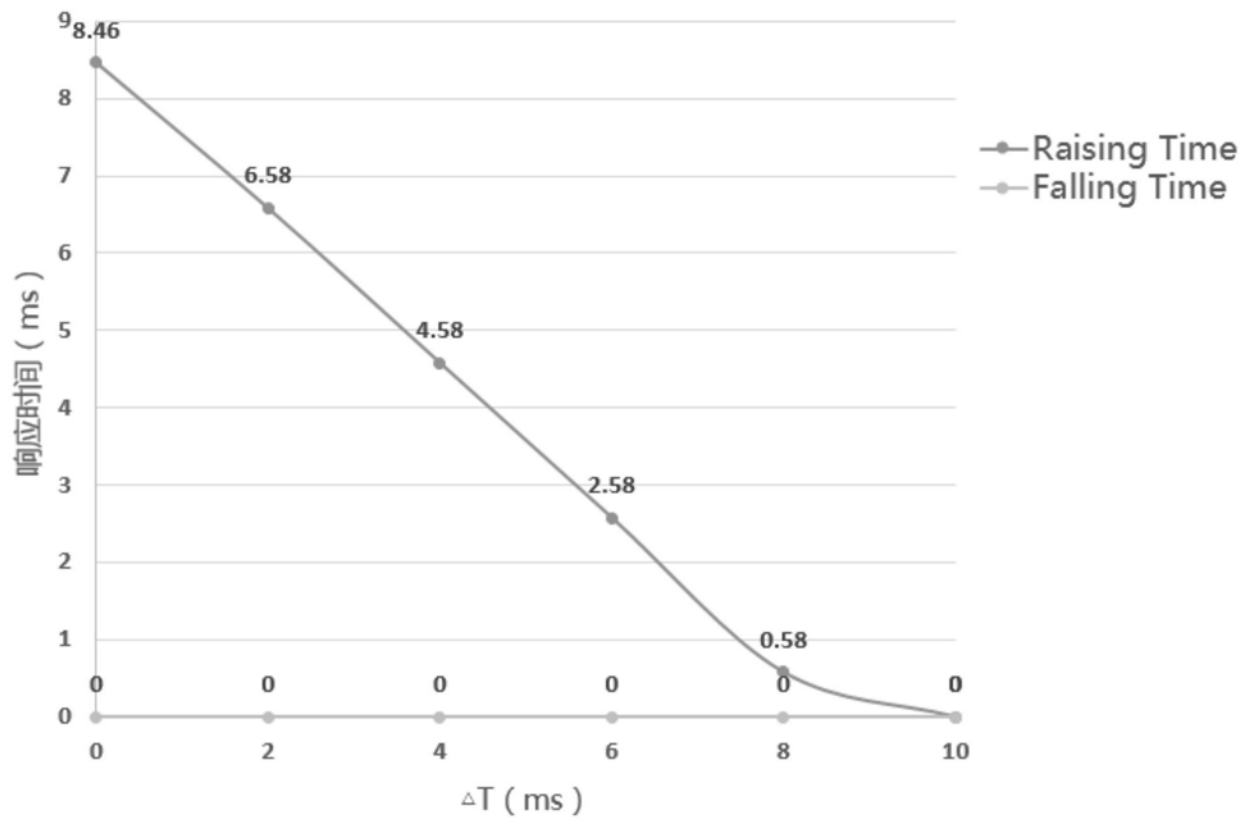


图26